

Our Ref: OP676-US

(Partial Translation)

Prior Art Reference:

Japanese Patent Laid-Open Publication No. 7-322165

Laid-Open Date: December 8, 1995

Filing No. 7-64390

Filing Date: March 23, 1995

Claimed Priority Number: 226,738

Priority Date: April 12, 1994

Country of Claimed Priority: US

Applicant: Sony Electronics Incorporated, Sony Corporation
of America

Sony Drive, Park Ridge, New Jersey, U.S.A.

Inventor: Michael A. Cutner

Mountain View, California, U.S.A.

Title: SYSTEM OF SIMULTANEOUSLY DISPLAYING MULTIPLE
VIDEO WINDOWS

Note: The spelling of the name of inventor may not
be correct, since it is a pure transliteration
of Japanese phonetic symbols as appeared in
the publication.

[ABSTRACT]

[Object] To provide a simple and economical system of
simultaneously displaying multiple video windows.

[Structure] This system comprises a primary interface 610
for receiving a primary video signal J, and a primary memory 640
for storing a data representing the primary video signal.
Further, this system includes a plurality of secondary interfaces
611-613 for respectively receiving a plurality of secondary video
signals K-M. The contents of the primary and the secondary
memories are selectively outputted in a display device 670, and
video images represented by the primary and the secondary video

signals are respectively displayed in the multiple video windows of the display device.

[0003]

[Problems to be Solved by the Invention]

There are various drawbacks in the prior art of displaying a number of video images simultaneously in a single display device. Briefly stating, these drawbacks are caused by the necessity of a complicated and, thus, high cost circuit system.

[0004]

An example of such conventional system is shown in Fig. 3. With this conventional system, video signals A, B and C representing separate video images are individually inputted into buffer memories 350, 360 and 370 respectively through separate video interface circuits 310, 320 and 330, and processed. Each of the video interface circuits 310-330 digitizes each of the video signals A, B and C, and takes out a timing information related to each signal. The video interface circuits may also effect other processes, such as adjusting the size of digitized video image. The digital data obtained in respect of each video image is outputted to each of video buffer memories 350-370 separately and the digital data is temporarily stored therein, and, thereafter, it is outputted to a main interface circuit 380. In the main interface circuit 380, the digital data outputted from the buffer memory is converted into an analog signal to which a proper timing information is applied. All outputs from the buffer memories 350-370 are combined in the main interface circuit 380 and outputted to a monitor 390. An address assignment to each of buffer memories 350-370 and its output are controlled by a clock control circuit 340. The contents of these buffer memories are read out simultaneously at a rate

substantially equal to a rate of indicating a pixel information on the monitor 390. The output of each of buffer memories 350-370 is so controlled that the information stored at each address location in the buffer memory is outputted at a proper time, and a visible image corresponding to the data stored in each buffer memory and combined in the main interface circuit 380 is generated. One drawback of this method of displaying a number of video images is that it requires a memory and a control circuit which are complicated and expensive, and this method fails to operate satisfactorily as the number of inputted full-motion video image signals increases.

[0005]

Fig. 4 shows another prior art method. In this prior art, a plurality of video signals D, E, F each representing a full-motion image respectively is inputted into each of video interface circuits 410, 420, 430 separately and processed therein. The processed video data outputted from each of video interface circuits 410-430 is all combined together, namely, serialized, and temporarily stored in a single buffer memory 450. A clock control circuit 440 controls the output from each of video interface circuits 410-430 to the buffer memory 450, and also generates a memory address information which is related to the video data outputted from each interface circuit and stored in the buffer memory 450. This video data is outputted from the buffer memory and read into the main interface circuit 380 where the data is processed, and outputted as a Z signal suitable for driving the monitor 390. The monitor 390 displays a form image and information represented by the Z signal.

[0006]

Although the method of this prior art has a less number of required buffer memories than the prior art shown in Fig. 3,

there are still some drawbacks. First, each of video interface circuits 410-430 generates a continuous data stream which should be written in the buffer memory. This requires an extremely wide data band width, and for this, a high performance and expensive buffer memory must be used. Secondly, as the number of video signals to be inputted is increased, the requirements for performance of the buffer memory, such as the speed, band width, and the like, also become higher. Further, when a number of video windows for full-motion images are desired, more complicated circuits must be used for addressing and controlling. Moreover, when it is necessary to use a single buffer memory of low performance in order to limit the cost, the data band width for the full-motion video signals, namely, for the stream, must be made smaller by either lowering the resolution of image to be displayed, or reducing the size of video image to be displayed. [0007]

Fig. 5 shows a still further example of prior art of the device of displaying multiple video images of full-motion. With this device, the input video signals G, H, I are all serialized through a video selecting multiplexer 560, and outputted to a single video interface 510. If all input video signals G, H, I were to be synchronized, a clock control circuit 520 would select a new or different input video signal G, H or I during a video blanking period between continuous frames. In this manner, a maximum total data rate can be kept at a constant level without regard to the number of input video signals. However, as the number of input video signals is increased, an update rate (a rate for supplying new display information to the display device) for displaying the video signals is lowered. This is due to an additional time required to select or access an additional input video signal to be inputted to the video interface 510.

[0008]

An object of the present invention is to provide a system of simultaneously displaying multiple video windows, without having the above-described drawbacks.

[0009]

[Means for Solving the Problems and Operation Thereof]

The system according to this invention requires only two buffer memories, and a storage capacity of each buffer memory is suffice for storing at least the information corresponding to each pixel of a display device, such as, a video monitor. A primary buffer memory which is one of these buffer memories is used exclusively for storing the data corresponding to a primary video signal to be displayed in a primary (main) video window of the video monitor. The other buffer memory, namely, a secondary buffer memory is used exclusively for storing he data corresponding to a plurality of secondary video signals to be displayed in a plurality of secondary (sub) video windows, each having a smaller size than that of the primary video window. According to the present invention, for inputting additional secondary video signals, no additional buffer memory is required for storing such additional video signals. This is possible, because each video signal is selected by an input control device for inputting into the secondary buffer memory. In this manner, a number of video windows can be provided without adding a memory or a control circuit for each secondary video signal to be added as an input.

[0010]

A system of the invention includes a primary interface for receiving the primary video signal. This primary interface comprises a primary storage memory for storing the data representing the input primary video signal. The system also

includes a secondary interface. The secondary interface comprises a secondary storage memory for storing the data representing a plurality of secondary video signals to be inputted. The system further comprises output control means for selectively outputting the contents of the primary and secondary storage memories.

[0011]

A method of simultaneously displaying a number of video windows in a display device according to this invention comprises the steps of: inputting a primary analog composite video signal and a plurality of secondary analog composite video signals; converting said primary analog composite video signal into a primary digital video signal; converting said plurality of secondary analog composite video signals to a plurality of secondary digital video signals; storing said primary digital video signal data in a primary storage memory means; inputting said plurality of secondary digital video signal data into a secondary storage memory means; and selectively reading said primary and secondary digital video data respectively from said primary and secondary storage memories, outputting said primary and secondary digital video data to the display device, and displaying a primary full-motion video image in a primary window in the display device and, at the same time, displaying a plurality of secondary full-motion video images respectively in a plurality of secondary windows in the display device.

/ / / / / / / / / / LAST ITEM / / / / / / / / / /

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-322165

(43) 公開日 平成7年(1995)12月8日

(51) Int.Cl.⁶
H 0 4 N 5/45

識別記号

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数14 O L (全 11 頁)

(21) 出願番号 特願平7-64390

(22) 出願日 平成7年(1995)3月23日

(31) 優先権主張番号 2 2 6 7 3 8

(32) 優先日 1994年4月12日

(33) 優先権主張国 米国 (U S)

(71) 出願人 591226575

ソニー エレクトロニクス インコーポ
レイテッド

SONY CORPORATION OF
AMERICA

アメリカ合衆国 ニュージャージー州 パ
ークリッジソニー ドライブ (番地なし)

(72) 発明者 マイケル エイ カットナー

アメリカ合衆国 カリフォルニア州 マウ
ンテン ビュー、クラーク アベニュー
938、ナンバー18

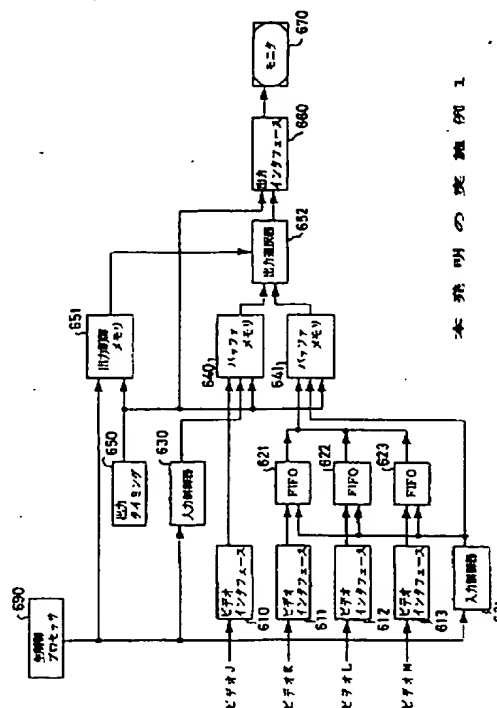
(74) 代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 多数ビデオウィンドー同時表示方式

(57) 【要約】

【目的】 簡単で経済的な多数ビデオウィンドー同時表示装置を得る。

【構成】 本装置は、1次ビデオ信号Jを受ける1次インタフェース610と、1次ビデオ信号を表すデータを記憶する1次メモリ640を含む。本装置はまた、複数の2次ビデオ信号K~Mを受ける複数の2次インタフェース611~613と、複数の2次ビデオ信号を表すデータを記憶する2次メモリ641とを有する。1次及び2次メモリの内容を表示器670に選択的に出力させ、1次及び2次ビデオ信号で表されるビデオ画像を表示器の多数ビデオウィンドーに夫々表示させる。



【特許請求の範囲】

【請求項 1】 1 次ウィンドー内に表示するための 1 次ビデオ信号を受け、上記 1 次ビデオウィンドーを表すデータを出力する 1 次インタフェース手段と、
上記 1 次ビデオウィンドーを表す上記データを受け、これを記憶する 1 次記憶メモリと、
複数の 2 次ビデオウィンドー内に表示するための複数の 2 次ビデオ信号を受け、上記 2 次ビデオウィンドーを表すデータを出力する 2 次インタフェース手段と、
上記 2 次ビデオウィンドーを表す上記データを受け、これを記憶する 2 次記憶メモリと、
上記 1 次記憶メモリ及び上記 2 次記憶メモリを選択的に読むことにより、上記 1 次及び 2 次ビデオウィンドーを編成する出力選択手段とを具えた多数ビデオウィンドー同時表示装置。

【請求項 2】 上記出力選択手段により編成された上記ウィンドーを受け、これを表示するビデオ表示器を更に有する請求項 1 の装置。

【請求項 3】 1 次ビデオ信号を受ける入力端と、該入力 1 次ビデオ信号を表すデータを記憶する 1 次記憶メモリとを含む 1 次入力手段と、
複数の 2 次ビデオ信号を受ける複数の入力端と、該入力複数の 2 次ビデオ信号を表すデータを記憶する 2 次記憶メモリとを含む 2 次入力手段と、
上記 1 次記憶メモリ及び上記 2 次記憶メモリの内容を選択的に出力する出力手段とを具え、
上記入力 1 次ビデオ信号は、表示器の 1 次ウィンドー内に表示しようとするビデオ信号を表し、
上記入力複数の 2 次ビデオ信号は、表示器の夫々の 2 次ウィンドー内に表示しようとするビデオ信号を表し、
上記 2 次ウィンドーは、上記 1 次ウィンドーより面積が小さいものである多数ビデオウィンドー同時表示装置。

【請求項 4】 上記 1 次及び 2 次ビデオ信号は、アナログ複合ビデオ信号である請求項 3 の装置。

【請求項 5】 上記 1 次入力手段は、上記 1 次アナログ複合ビデオ信号を、すぐあとで上記 1 次記憶メモリに蓄積する対応 1 次デジタルビデオデータに変換する手段を更に含む請求項 4 の装置。

【請求項 6】 上記出力手段は、上記 1 次デジタルビデオデータを上記表示器に表示するアナログビデオ信号に変換する手段を更に含む請求項 5 の装置。

【請求項 7】 上記 2 次入力手段は、上記 2 次アナログ複合ビデオ信号を、すぐあとで上記 2 次記憶メモリに蓄積する 2 次デジタルビデオデータに変換する手段を更に含む請求項 4 の装置。

【請求項 8】 上記出力手段は、上記 2 次デジタルビデオデータを上記表示器に表示するのに適したアナログビデオ信号に変換する手段を更に含む請求項 7 の装置。

【請求項 9】 図形信号を発生する図形処理器と、
上記図形信号を表すデータを記憶する図形記憶メモリと

を更に有し、

上記出力手段は、上記図形記憶メモリの内容を上記表示器に選択的に出力する手段を更に含む請求項 3 の装置。

【請求項 10】 上記図形信号は、動きの少ない絵画的形象を表すものである請求項 9 の装置。

【請求項 11】 上記図形信号は、原文情報を表す請求項 9 の装置。

【請求項 12】 1 次アナログ複合ビデオ信号を入力するステップと、

複数の 2 次アナログ複合ビデオ信号を入力するステップと、

上記 1 次アナログ複合ビデオ信号を 1 次デジタルビデオ信号に変換するステップと、

上記複数の 2 次アナログ複合ビデオ信号を複数の 2 次デジタルビデオ信号に変換するステップと、

上記 1 次デジタルビデオ信号データを 1 次記憶メモリ手段に蓄積するステップと、

上記複数の 2 次デジタルビデオ信号データを 2 次記憶メモリ手段に入力するステップと、

表示器の 1 次ウィンドー内に 1 次実運動ビデオ映像を表示すると同時に、該表示器の複数の 2 次ウィンドー内に夫々複数の 2 次実運動ビデオ映像を表示するために、
上記 1 次記憶メモリ及び上記 2 次記憶メモリから上記 1 次デジタルビデオデータ及び上記 2 次デジタルビデオデータを選択的に読出し、該 1 次デジタルビデオデータ及び該 2 次デジタルビデオデータを上記表示器に出力するステップとを含む多数ビデオウィンドー同時表示方法。

【請求項 13】 入力 1 次ビデオ信号を受け、1 次ビデオデータを出力する 1 次ビデオインタフェースと、
複数の入力 2 次ビデオ信号の 1 つを受け、2 次ビデオデータを出力する複数の 2 次ビデオインタフェースと、
上記 1 次ビデオインタフェースから出力される 1 次ビデオデータを記憶するために、上記 1 次ビデオインタフェースの出力に接続された 1 次バッファメモリと、
上記複数の 2 次ビデオインタフェースの各々から出力される 2 次ビデオデータを記憶するために、上記 2 次ビデオインタフェースの出力に接続された 2 次バッファメモリと、

上記複数の 2 次ビデオインタフェースから上記 2 次バッファメモリへの上記 2 次ビデオデータの入力を選択的に制御する入力制御器と、

表示モニタに表示するために、上記 1 次バッファメモリ及び上記 2 次バッファメモリから上記 1 次ビデオデータ及び上記 2 次ビデオデータを選択的に出力する出力選択器とを具えた多数ビデオウィンドー同時表示装置。

【請求項 14】 入力端及び出力端を有し、1 次ビデオ信号の入力を受ける 1 次ビデオインタフェースと、
各々が入力端及び出力端を有し、複数の 2 次ビデオ信号の入力を受ける複数の 2 次ビデオインタフェースと、
上記入力 1 次ビデオ信号に対応する 1 次ビデオデータを

記憶するために、上記1次ビデオインタフェースの出力端に接続された1次バッファメモリと、

上記入力2次ビデオ信号に対応する2次ビデオデータを受けるために上記2次ビデオインタフェースの各出力端に接続され、入力端及び出力端を有する複数の一時記憶FIFOメモリと、

上記複数の一時記憶FIFOメモリから出力される上記2次ビデオデータを記憶するために、上記複数の一時記憶FIFOメモリの全出力端に接続された2次バッファメモリと、

上記1次ビデオインタフェースから上記1次バッファメモリへの上記1次ビデオデータの出力を制御する1次入力制御器と、

上記複数の一時記憶FIFOメモリから上記2次バッファメモリへの上記2次ビデオデータの出力を制御する2次入力制御器と、

出力制御メモリに記憶された情報に従って、上記1次バッファメモリ及び上記2次バッファメモリから出力インタフェースに夫々上記1次及び2次ビデオデータを選択的に出力するために、上記1次バッファメモリ及び上記2次バッファメモリの出力端に接続された出力選択手段とを具え、

上記出力インタフェースは、上記出力選択手段から出力されるデータを処理し、上記1次及び2次バッファメモリに記憶された上記1次及び2次ビデオデータに対応する、表示モニタに適正な表示をするに適したビデオ信号を出力し、

上記1次入力制御器、上記2次入力制御器及び上記出力選択手段は、主制御プロセッサからの制御信号に従って作動するものである多数ビデオウィンドー同時表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、CRT、LCD又はプラズマ型ディスプレイの如き単一の表示器に、実運動(full-motion)の又は生(なま)の複数のビデオ映像を表示する方式(装置及び方法)に関するものである。

【0002】

【従来の技術】実運動の(実際の動きをする)、即ち生のビデオ映像を表示するのにCRTやLCDのような表示器が広く使用されている。表示器は、一時にただ1つのビデオ映像を表示するのに使用されることが多い。しかし、単一の表示器に1より多い、即ち多数の実運動ビデオ映像を同時に表示できる方法もある。かような多数ビデオ映像は大抵、表示面上で別々の「ウィンドー」に表示される。図1は、単一のビデオウィンドー910が表示されている表示器900を示す。図2は、多数のビデオウィンドー920が表示されている表示器900を示す。

【0003】

【発明が解決しようとする課題】しかし、単一の表示器に多数のビデオ映像を同時表示する従来公知の技法には、幾つかの欠点がある。手短かにいえば、これらの欠点は、コストが高く複雑な回路を必要とすることである。

【0004】図3に、上述した従来技法の1つを示す。この技法では、別々のビデオ映像を表すビデオ信号A、B及びCは、別々のビデオインタフェース回路310、320及び330を介して個々にバッファメモリ350、360及び370に入力され、処理される。ビデオインタフェース回路310~330は夫々各ビデオ信号A、B、Cをデジタル化し、それら各信号に関するタイミング情報を取出すこれらビデオインタフェース回路はまた、デジタル化されたビデオ映像のサイズを調整するなどの他の処理動作を行うこともある。各ビデオ映像に関して得られたデジタルデータはそれから、夫々別個のビデオバッファメモリ350~370に出力され、そこで一時的に記憶されたのち主インタフェース回路380に出力される。主インタフェース回路380は、バッファメモリから出力されたデジタルデータをアナログ信号に変換し、適正なタイミング情報を加える。また、バッファメモリ350~370の出力はすべて、主インタフェース回路380で組合され、モニタ390に出力される。バッファメモリ350~370に対するアドレス指定及びその出力は、クロック制御回路340によって制御される。これらバッファメモリの内容は、モニタ390にピクセル情報が表示されるレートにほぼ等しいレートで同時に読出される。各バッファメモリ350~370の出力は、バッファメモリ内の各アドレス位置に記憶された情報が適正時に出力されるように制御され、各バッファメモリに記憶され主インタフェース回路380で組合されたデータに対応する可視像がモニタ390に生成される。この多ビデオ映像表示技法の欠点の1つは、複雑で高価なメモリ及び制御回路を必要とし、入力される生(実況)ビデオ映像信号の数が増すに従って十分な動作をしなくなることである。

【0005】図4に、もう1つの従来技法を示す。本例では、別々の実運動映像を表す多数のビデオ信号D、E、Fは夫々、別々のビデオインタフェース回路410、420、430に入力され、処理される。各ビデオインタフェース回路410~430から出力されるすべての処理済ビデオデータは、それから結合され、即ち並直列変換され、単一のバッファメモリ450に一時的に記憶される。クロック制御回路440は、各ビデオインタフェース回路410~430からバッファメモリ450への出力を制御すると共に、これら各インタフェース回路から出力されバッファメモリ450に記憶されるビデオデータに関するメモリアドレス情報をも発生する。このビデオデータは、それからバッファメモリより出力され主インタフェース回路380に読込まれ、その中で

処理されモニタ 390 の駆動に適する Z 信号として出力される。モニタ 390 は、Z 信号で表される形象及び情報を表示する。

【0006】この技法は、図 3 の技法より所要バッファメモリが少なく済むものの、幾つかの欠点がある。第 1 は、各ビデオインタフェース回路 410~430 が、バッファメモリに書込まねばならない連続データストリームを発生していることである。これは極めて広いデータ帯域幅を必要とし、高価な高性能バッファメモリを使用しなければならないことになる。第 2 は、入力したいビデオ信号の数が増すに従い、バッファメモリの速度や帯域幅などの性能への要求がふえることである。しかも、重なる生のビデオウィンドーが欲しい場合、アドレス及び制御のため更に複雑な回路を使用しなければならない。その上、コスト制限のため単一の低性能バッファメモリを使用する場合、表示されるビデオ映像の解像度を下げるか、又は表示しようとするビデオ映像のサイズを縮小するかして、生のビデオ信号即ちストリームのデータ帯域幅を減らさねばならない。

【0007】図 5 に、生の多ビデオ映像表示装置の他の例を示す。本例では、入力ビデオ信号 G, H, I はすべて、ビデオ選択マルチプレクサ 560 を介して並直列変換され、1 つのビデオインタフェース 510 に出力される。全入力ビデオ信号 G, H, I が同期しているとすれば、クロック制御回路 520 は、新しい即ち異なる入力ビデオ信号 G, H 又は I を連続するフレーム間のビデオブランキング期間に選択することになる。このようにすれば、入力ビデオ信号の数に関係なく、最大合計データレートを一定に維持できる。しかし、入力ビデオ信号の数が増すに従い、ビデオ信号の表示更新レート（表示装置に新しい表示情報が供給されるレート）が減少する。それは、ビデオインタフェース 510 に入力される追加入力ビデオ信号をアクセス又は選択するのに追加時間を要するためである。

【0008】本発明の課題は、上述した欠点のない、多数のビデオウィンドーを同時に表示する方式を提供することである。

【0009】

【課題を解決するための手段及び作用】本発明による装置は、たった 2 つのバッファメモリを必要とするだけであり、各バッファメモリの記憶容量は、少なくとも、ビデオモニタの如き表示器の各ピクセルに対応する情報を記憶するに足る大きさでよい。これらのバッファメモリの一方である 1 次バッファメモリは、ビデオモニタの 1 次（主）ビデオウィンドーに表示すべき 1 次ビデオ信号に対応するデータの蓄積に専用する。他方のバッファメモリ、即ち 2 次バッファメモリは、ビデオモニタの、1 次ビデオウィンドーより広さが小さい複数の 2 次（副）ビデオウィンドーに表示すべき複数の 2 次ビデオ信号に対応するデータの蓄積に専用する。本発明では、追加の

2 次ビデオ信号が入力される時、これらの追加ビデオ信号を蓄積するのに追加バッファメモリを必要としない。それは、各ビデオ信号が入力制御器により選択されて、2 次バッファメモリに入力されるからである。こうすると、入力として加えられる各 2 次ビデオ信号のためにメモリ又は制御回路を追加することなく、多数のビデオウィンドーを提供できる。

【0010】本装置は、1 次ビデオ信号を受ける 1 次インタフェースを具える。この 1 次インタフェースは、入力 1 次ビデオ信号を表すデータを記憶する 1 次記憶メモリを含む。本装置はまた、複数の 2 次ビデオ信号を受ける 2 次インタフェースを具える。該 2 次インタフェースは、入力される複数の 2 次ビデオ信号を表すデータを記憶する 2 次記憶メモリを含む。更に、1 次及び 2 次記憶メモリの内容を表示器に選択的に出力する出力制御手段を含む。

【0011】表示器に多数のビデオウィンドーを同時に表示する本発明の方法は、1 次アナログ複合ビデオ信号及び複数の 2 次アナログ複合ビデオ信号を入力するステップと、該 1 次アナログ複合ビデオ信号を 1 次デジタルビデオ信号に変換するステップと、複数の 2 次アナログ複合ビデオ信号を複数の 2 次デジタルビデオ信号に変換するステップと、上記 1 次デジタルビデオ信号データを 1 次記憶メモリ手段に蓄積するステップと、上記複数の 2 次デジタルビデオ信号データを 2 次記憶メモリ手段に入力するステップと、上記 1 次及び 2 次記憶メモリから夫々上記 1 次及び 2 次デジタルビデオデータを選択的に読出し、該 1 次及び 2 次デジタルビデオデータを上記表示器に出力して、該表示器の 1 次ウィンドー内に 1 次実運動ビデオ映像を表示すると同時に、上記表示器の複数の 2 次ウィンドー内に夫々複数の 2 次実運動ビデオ映像を表示するステップとを含む。

【0012】

【実施例】以下、図面を参照して本発明を具体的に説明する。図 6 は、本発明の第 1 実施例を示すブロック図である。簡単にいうと、1 次ビデオインタフェース（ビデオインタフェース 610）及び 1 次バッファメモリ（バッファメモリ 640）は、1 つの表示器、モニタ 670 に表示される複数のウィンドーのうち一番大きい 1 次

（主）ウィンドーに表示したい 1 次ビデオ映像を表す 1 次ビデオ信号（ビデオ信号 J）入力の受信と蓄積に専用するものである。複数の 2 次ビデオインタフェース（ビデオインタフェース 611, 612 及び 613）及び 2 次バッファメモリ（バッファメモリ 641）は、同じ表示器（モニタ 670）の 1 次ウィンドーより小さい複数の 2 次（副）ウィンドーに表示したい複数の 2 次ビデオ映像を表す 2 次ビデオ信号（ビデオ信号 K, L, M）入力の受信と蓄積に専用するものである。ただし、2 次ビデオ映像は、ビデオインタフェース 610 が受信し 1 次バッファメモリ 640 が記憶したビデオデータにより表

される、より大きな1次ビデオ映像の表示と同時に表示される。

【0013】本例では、ビデオ信号J～Mは、各ビデオインタフェース回路610～613に加えられる。これらのビデオ信号は、複合又はコンポーネントのどちらのアナログビデオ信号でもよい。また、入力ビデオ信号は、デジタル信号でもよい。説明の都合上、生のビデオ信号は複合アナログビデオ信号であると仮定する。各ビデオインタフェース回路610～613は、複合アナログビデオ信号をデジタルビデオ信号に変換し、該複合アナログビデオ信号から関連するタイミング情報を取出す。ビデオインタフェース回路610～613は、デジタルビデオ信号を処理してビデオピクセルを加減し、デジタル化されたビデオ映像のサイズを増したり、減じたりするのに使用できる。更に、これらのビデオインタフェース回路は、デジタルビデオ信号を処理して、ビデオ信号により表されるビデオ映像の色調又は色の強さを変えるのに用いることもできる。

【0014】ビデオインタフェース610の入力端に加えられるビデオ信号Jは、ただ1つの表示モニタ670に表示される多数ウィンドーのうち最も大きいものに見えるようにしたい映像に対応するものである。このビデオ信号を1次ビデオ信号と呼び、ビデオインタフェース610及びバッファメモリ640を経由して入力し、処理し、蓄積する。これらを1次ビデオインタフェース及び1次バッファメモリと呼ぶことができる。ビデオインタフェース610の出力は、バッファメモリ640の入力端に加えられる。バッファメモリ640は、例えば2（デュアル）ポート・メモリでよい。入力制御器630は、ビデオインタフェース610により入力ビデオ信号から取出されたタイミング情報を用いてアドレス情報を発生し、処理済のデジタル化したビデオデータの、ビデオインタフェース610からバッファメモリ640への書込みを制御する。入力制御器630により発生されたアドレス情報は、処理済デジタルビデオデータが記憶されるバッファメモリ640における、該デジタルビデオデータのアドレス位置、即ち書込み位置を制御する。

【0015】ビデオデータが書込まれるアドレス位置に応じて、表示モニタの生（なま）ビデオ映像の位置が制御できる。というのは、各アドレス位置がモニタ670の個々のピクセルに対応するからである。書込み位置の計算に必要な情報は、主制御プロセッサ690により入力制御器630に供給される。この情報は、可変であって、表示モニタ及び（又は）表示モードにおける生ビデオ映像の位置に関する情報のようなものを含むことができる。表示モードには、例えばフィールドモード、凍結フレームモード又は凍結フィールドモードなどがある。

【0016】ビデオインタフェース610及びバッファメモリ640間のデジタルビデオ信号又はストリームの帯域幅は、ビデオインタフェース610によって行われ

る処理のタイプによって決まることに注意すべきである。例えばビデオインタフェースがピクセル情報を減らして表示されるビデオ映像のサイズを縮小する処理を行うと、デジタルビデオストリームの帯域幅は減じるであろう。同様に、ビデオインタフェースがピクセル情報を加えて表示ビデオ映像のサイズを拡大する処理をすると、デジタルビデオストリームの帯域幅は増すであろう。バッファメモリ640の入力帯域幅は、表示モニタにどんなサイズの生ビデオウィンドーを表示しても、それに必要なデータレートを提供できるよう十分に大きいのがよい。

【0017】ビデオインタフェース回路611、612及び613の出力は、入力制御器631の制御の下にFIFOメモリ621、622及び623の入力端に夫々加えられる。ビデオデータは、バッファメモリ641に出力されるまで、一時ここに蓄積される。バッファメモリ641は、例えば2ポート・メモリでよい。入力制御器631により、ビデオインタフェース611からの処理済デジタルビデオデータストリーム及びタイミング情報は、FIFOメモリ621に書込まれる。同様に、ビデオインタフェース612からの処理済デジタルビデオデータストリーム及びタイミング情報は、FIFOメモリ622に書込まれ、ビデオインタフェース613からの処理済デジタルビデオデータストリーム及びタイミング情報は、FIFOメモリ623に書込まれる。このタイミング情報は、ライン及びフレームを示す情報を含む。

【0018】入力制御器631はまた、アドレス、即ち書込み位置情報の発生を含め、FIFOメモリ621～623からバッファメモリ641へのデータ読込みを制御する。入力制御器631により発生されるアドレス情報は、バッファメモリ641における書込み位置、即ちメモリ位置を決定する。この位置に、ビデオインタフェース回路611～613から出力された処理済ビデオデータが書込まれる。処理済ビデオデータが書込まれるメモリ位置を制御することにより、バッファメモリ641に記憶されたビデオデータによって表される、ビデオモニタ670上のビデオ映像の表示位置を制御できる。ビデオデータのバッファメモリ641への書込みアドレス（位置）の計算に必要な計算情報は、主制御プロセッサ690によって入力制御器631内に設定される。この可変計算情報は、表示モニタ又は表示モード（即ち、フィールドモード、凍結フレームモード又は凍結フィールドモード）における各生ビデオ映像の位置を決める情報を含むことがある。1組の計算情報が、各入力ビデオ及びタイミングデータのために使用される。

【0019】ビデオ又はタイミングデータをFIFOメモリ621の出力から得る場合、入力制御器631は、このデータストリームに対する位置及びモード設定に加え、取出したタイミングデータを用いてビデオデータを

書込むバッファメモリ641のアドレスを計算する。入力制御器631はそれから、FIFOメモリ621からのビデオデータをバッファメモリ641の計算されたアドレスに書込む。入力制御器631は、FIFOメモリ621内の全データをバッファメモリ641に書き込み終えるか、或いは所定数のビデオデータ・サンプルをメモリに書き込み終えるまで、この処理を続ける。入力制御器631は次いで、FIFOメモリ622、623よりのデータ及びタイミング情報を用いて同じ動作を行う。FIFOメモリ621~623からのこの読出し処理は、所望の全ビデオ情報を表示するのに必要な間繰返される。

【0020】入力制御器631の機能は、4つの別個の動作に分けることができる。即ち、(1)データ及びタイミング情報をFIFOメモリ621~623に書込むこと、(2)FIFOメモリ621~623から読出したデータ及びタイミング情報に基いて書き込みアドレス情報を計算すること、(3)FIFOメモリ621~623から出力される3つのデータストリームをバッファメモリ641への入力として次々に選択すること及び

(4)ビデオデータのバッファメモリ641への書き込みを制御することである。これら4つの機能をすべて単一の制御器によって行う必要はない点に注意されたい。各ビデオ及びタイミングデータストリームに対応する別々の専用制御器を、データ及びタイミング情報のFIFOメモリへの書き込みのために設けてもよい。また、FIFOメモリから読出したデータ及びタイミング情報に基いてバッファメモリ641における書き込みアドレスを計算するのに、別個の専用制御器を使用してもよい。

【0021】前述したとおり、ビデオインタフェース611~613によって行われる処理のタイプが、FIFOメモリ621~623及びバッファメモリ641間のデジタルビデオストリームの帯域幅を決める。ビデオインタフェース処理で多くのピクセルを落として表示されるビデオ映像のサイズを縮小すると、デジタルビデオストリームの帯域幅は大きく減少する。好適な具体構成では、バッファメモリ641の入力帯域幅は、十分に大きくて、どんなサイズの生ビデオウィンドーのデータレート条件でも受入れることができる。

【0022】しかし、例えば、3つのビデオウィンドーをバッファメモリ641に蓄積する場合、ビデオインタフェース611~613は、ビデオウィンドーとして表示しようとするビデオ映像のサイズを縮小して、全帯域幅がバッファメモリ641の帯域幅容量を越えないようにしなければならない。出力タイミング回路650は、バッファメモリ640及び641からビデオデータを読出すのに用いるアドレスを発生する。バッファメモリ640及び641は、記憶容量が十分に大きくて、表示モニタ670の各ピクセルに対応するビデオデータを夫々記憶することができる。例えば、表示モニタ670が1

280×1024の解像度を有する場合、両バッファメモリ640、641は、表示モニタ670上の各ピクセルに対するビデオ情報を記憶するのに十分な大きさとする。

【0023】バッファメモリ640は、表示モニタ670の1次ウィンドー内で表示しようとする1次ビデオ映像に関する情報のみを記憶する専用メモリである。これに対し、バッファメモリ641は、1次ビデオ映像が表示される1次ウィンドーとサイズが等しいか又はこれより小さい、表示モニタ670上の複数の2次ウィンドーの1つに各々を表示しようとする複数のビデオ映像に関する情報を記憶する専用メモリである。ビデオデータは、バッファメモリ640、641からモニタ670に表示するのに適したスピードで読出される。

【0024】出力タイミング回路650により発生される出力タイミングは、異なるタイミング特性をもつ表示モニタを受入れられるように可変とすることができる。バッファメモリ640、641の出力は、出力選択器652によって一緒に並直列変換される。この出力選択器は、出力制御メモリ651から出力される信号に従い、バッファメモリ640に記憶された情報により表される1つの生ビデオウィンドーと、バッファメモリ641に記憶された情報により表される複数の生ビデオウィンドーとの間で選択を行う。主制御プロセッサ690は、出力制御メモリ651に、表示モニタ670上の各ピクセルに対し、バッファメモリ640又はバッファメモリ641のどちらの内容を出力すべきかを決定するデータを記憶させる。例えば、特定のピクセルに関して、出力制御メモリ651からの出力信号「00」をバッファメモリ640の内容を出力すべきであることを示し、出力信号「01」をバッファメモリ641の内容を出力すべきであることを示すのに用いてもよい。こうして、各ピクセルに対するバッファメモリ640、641の出力を切替える(toggle)ことにより、多数の生ビデオウィンドーを希望に応じ互いの上に「重なって」見えるように表示することができる。

【0025】出力制御メモリ651の内容は、出力タイミング回路650の制御の下に読出される。出力制御メモリ651は、出力選択器652を制御する。出力インタフェース回路660は、出力選択器652からのビデオデータ出力をアナログビデオ信号に逆変換し、出力タイミング回路650に従って適切なビデオタイミング信号を加え、ビデオ信号がモニタ670に適正に表示されるようにする。こうして得られたビデオ信号又は複数のビデオウィンドーは、それからモニタ670に表示される。

【0026】上述した本発明の実施例の変形では、生ビデオウィンドーを単一の表示器に図形映像と一緒に表示することができる。本発明のこの具体構成では、図9に示すように、図形データ940をビデオ映像データ95

0と共に「重なった」形で表示できる。この具体構成は、図6について説明したものと非常に似ている。図7を参照して、両者の差をこれより説明する。

【0027】図形制御器780は、図形映像を図形メモリ781に書込む。図形制御器780は、主制御プロセッサ690、又は希望により他の別の制御源によって制御されるように構成できる。出力タイミング回路650は、ビデオデータを読み出すバッファメモリ640、641及び図形メモリ781内のメモリ位置をアドレスするのに用いるアドレス情報を発生する。ビデオデータは、バッファメモリ640、641からモニタ670に表示するのに適したスピードで読出される。出力タイミング回路650により発生され出力されるタイミング情報は、異なるタイミング特性をもつ表示モニタでも受け入れられるように、調整可能である。

【0028】バッファメモリ640、641及び図形メモリ781の出力は、出力選択器652により並直列変換、即ち結合される。この出力選択器652は、バッファメモリ640に記憶された情報により表される単一の生ビデオウィンドーと、バッファメモリ641に記憶された情報により表される複数の生ビデオウィンドーと、図形メモリ781に記憶された図形映像データとの間で選択を行う。主制御プロセッサ690は、表示モニタ670の各ピクセルに関係するデータであって、バッファメモリ640、641又は図形メモリ781の内容をモニタ670の特定ピクセルに表示するため出力するかどうかを決める又は示すデータを、出力制御メモリ651に蓄積する。

【0029】例えば、出力制御メモリ651からの出力信号「00」をバッファメモリ640の内容を出力すべきであることを示すのに用い、出力制御メモリ651からの出力信号「01」をバッファメモリ641の内容を出力すべきであることを示すのに用い、出力制御メモリ651からの出力信号「10」を図形メモリ781の内容を出力すべきであることを示すのに用いてもよい。このようにして、生ビデオウィンドーを互いの上に「重なった」又は図形映像と任意に組合せた形で、表示することができる。出力制御メモリ651の内容は、出力タイミング回路650の制御の下に読出される。また、出力制御メモリ651の出力は、出力選択器652を制御する。

【0030】図8は、本発明の他の実施例を示す。この具体構成は、前述したものに比べ、出力タイミング回路650が、この回路に入力されるアナログコンピュータ・ビデオディスプレイ信号から導出されるタイミング情報を取り出す点に特徴がある。したがって、バッファメモリ640、641の出力は、入来コンピュータ・ビデオディスプレイ信号と同期している。図7に示した実施例と同様に、主制御プロセッサ690は出力制御メモリ651にデータを蓄積する。

【0031】オーバーレイ回路885は、コンピュータ・グラフィックス・データ及びバッファメモリ640、641からの出力の間で切替えを行うのに用いる。オーバーレイ回路885は、例えばアナログ・スイッチ又はアナログ合算回路でよい。オーバーレイ回路885がアナログ・スイッチより成る場合、出力制御メモリ651の内容は、出力選択器652とオーバーレイ回路885の両方を制御するのに用いることができる。例えば、出力制御メモリ651からの出力信号「00」を、バッファメモリ640の内容を主インタフェース回路660に出力させるよう出力選択器652に命じるのに用いることができる。信号「01」を、バッファメモリ641の内容を出力させるよう出力選択器652に命じるのに用い、信号「10」を、入来コンピュータビデオ信号をモニタ670に出力させるようオーバーレイ回路885に命じるのに用いることができる。出力制御メモリ651から「00」か又は「01」が出力される場合、オーバーレイ回路885は、主インタフェース回路660を介して出力選択器652の出力を選択し、これをモニタ670に出力させる動作をする。出力制御メモリ651から「10」が出力される場合、オーバーレイ回路885は、入来コンピュータビデオ信号を選択してモニタ670に供給する。

【0032】オーバーレイ回路885がアナログ合算回路である場合、出力制御メモリ651の内容は、出力選択器652及び主インタフェース回路660のブランキング回路の両方を制御する。例えば、出力制御メモリ651から出力される信号「00」が、バッファメモリ640の内容を出力することを意味し、信号「01」が、バッファメモリ641の内容を出力することを意味し、信号「10」が、入来コンピュータビデオ信号を出力することを意味するものとして行うことができる。出力制御メモリ651が「00」又は「01」の信号を出力する場合、オーバーレイ回路885は、出力選択器652の出力を入力コンピュータ・グラフィックス映像に加える。ただし、これは、生ビデオ映像を表示しようとする場合、コンピュータ・グラフィックス映像は黒か又は存在しない、と仮定している。出力制御メモリ651が「10」の信号を出力する場合、主インタフェース回路660のブランキング回路が作動して黒信号を入来コンピュータビデオ信号に加える。これは、実効的に入来コンピュータビデオ信号を選択して表示モニタ670に出力することである。

【0033】図6～図8に示した上述の各実施例では、1次バッファメモリは、1次ビデオ信号に対応するデータを記憶する専用メモリである。このデータは、ビデオモニタの1次ビデオウィンドー内に表示される。2次バッファメモリは、ビデオモニタの2次ウィンドー内に表示される複数の2次ビデオ信号に対応するビデオデータを記憶するのに使用される。各2次ウィンドーは、1次

ウィンドーよりも面積が小さい。本発明では、追加の2次ビデオ信号が入力されるに従い、それらは2次バッファメモリに記憶される。ビデオ入力信号がいくら供給されるかに関係なく、メモリを追加する必要はない。したがって、本発明は、1対の比較的低速のビデオメモリを用いるだけの、多数ビデオウィンドーを表示する簡単なメカニズムを提供する。

【0034】本発明は、特許請求の範囲内で多くの変形が可能である。例えば、2次インタフェースは、どんな数の2次入力信号をも受けることができる。バッファメモリは2ポートメモリが好ましいが、他のタイプのメモリでもよい。FIFOメモリは、シフトレジスタ又は他の適当な記憶素子を用いて実現できる。入力信号は、複合又はコンポーネント・アナログビデオ、或いはどんな適当なデジタルビデオフォーマットのものでもよい。

【0035】

【発明の効果】以上説明したとおり、本発明によれば、1対の比較的低速のビデオメモリを用いて、構成が簡単でコストが少なく、入力ビデオ信号の数が増しても良好な動作をし、さほど広いデータ帯域幅を必要としない多数ビデオウィンドー同時表示方式を得ることができる。

【図面の簡単な説明】

【図1】単数ビデオウィンドーを表示するモニタの例を示す正面図である。

【図2】多数ビデオウィンドーを表示するモニタの例を示す正面図である。

【図3】多数生ビデオ映像を表示する従来技法の例1を示すブロック図である。

【図4】多数生ビデオ映像を表示する従来技法の例2を示すブロック図である。

【図5】多数生ビデオ映像を表示する従来技法の例3を示すブロック図である。

【図6】本発明の第1実施例を示すブロック図である。

【図7】本発明の第2実施例を示すブロック図である。

【図8】本発明の第3実施例を示すブロック図である。

【図9】単一の表示モニタに多数ビデオウィンドーを図形データと一緒に表示した例を示す正面図である。

【符号の説明】

J 1次ビデオ信号

K, L, M 2次ビデオ信号

610 1次ビデオインタフェース（1次インタフェース手段）

611, 612, 613 2次ビデオインタフェース（2次インタフェース手段）

640 1次バッファ（記憶）メモリ

641 2次バッファ（記憶）メモリ

621, 622, 623 一時記憶FIFOメモリ

630 1次入力制御器

631 2次入力制御器

651 出力制御メモリ

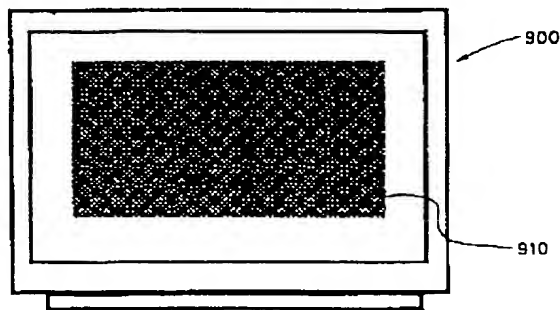
652 出力選択器（手段）

660 出力インタフェース（出力手段）

670 表示モニタ（表示器）

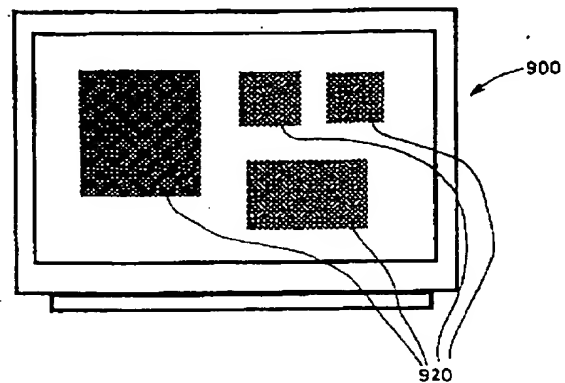
690 主制御プロセッサ

【図1】



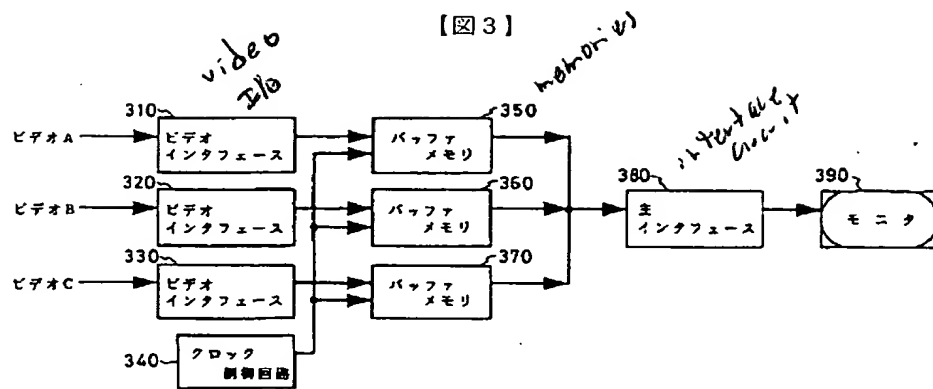
単数ウィンドー表示器の例

【図2】



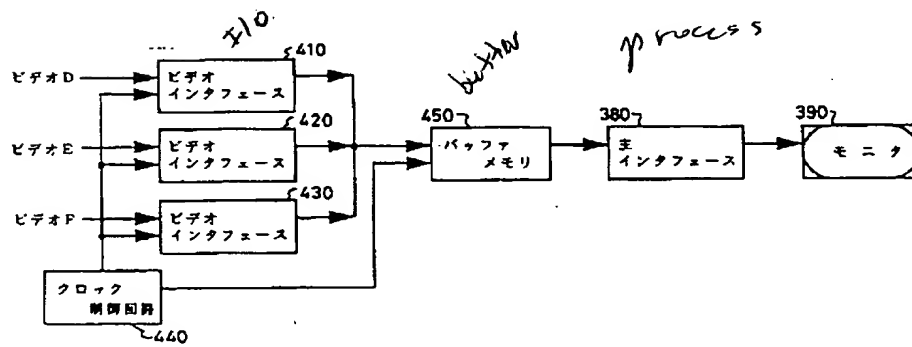
多数ウィンドー表示器の例

【図3】



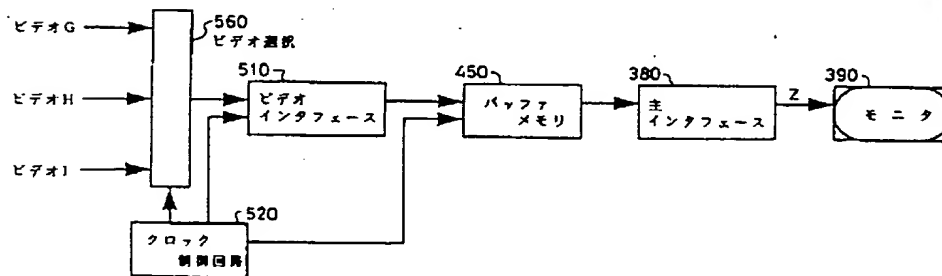
従来技術の例1

【図4】



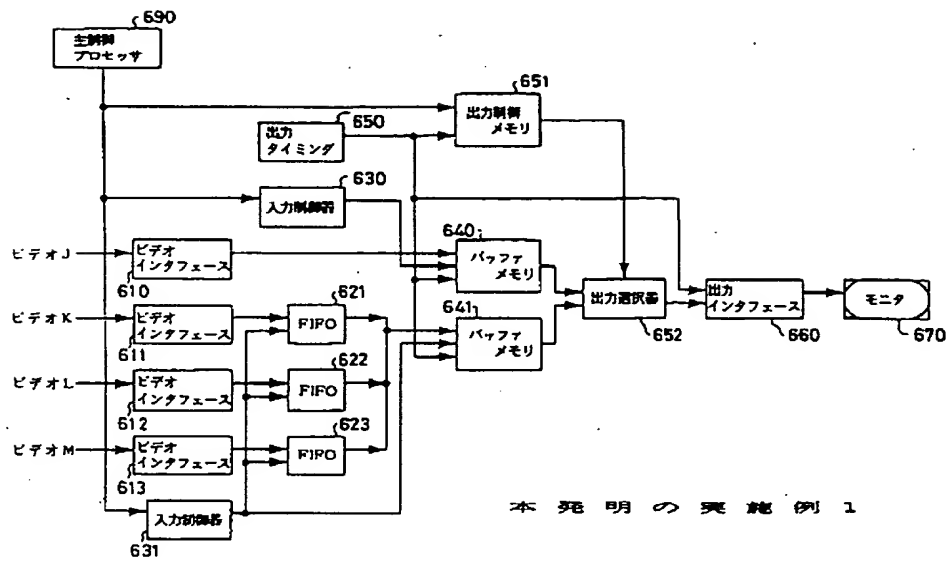
従来技術の例2

【図5】

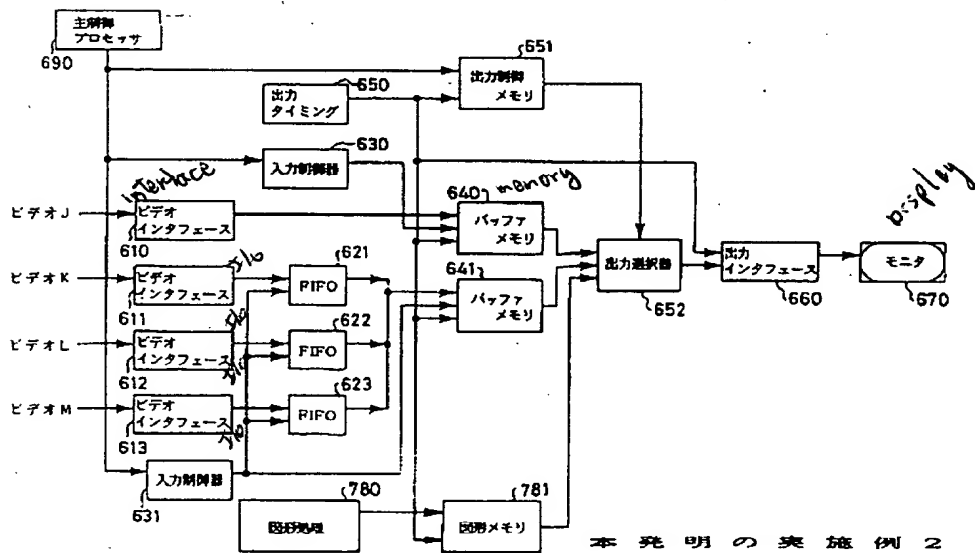


従来技術の例3

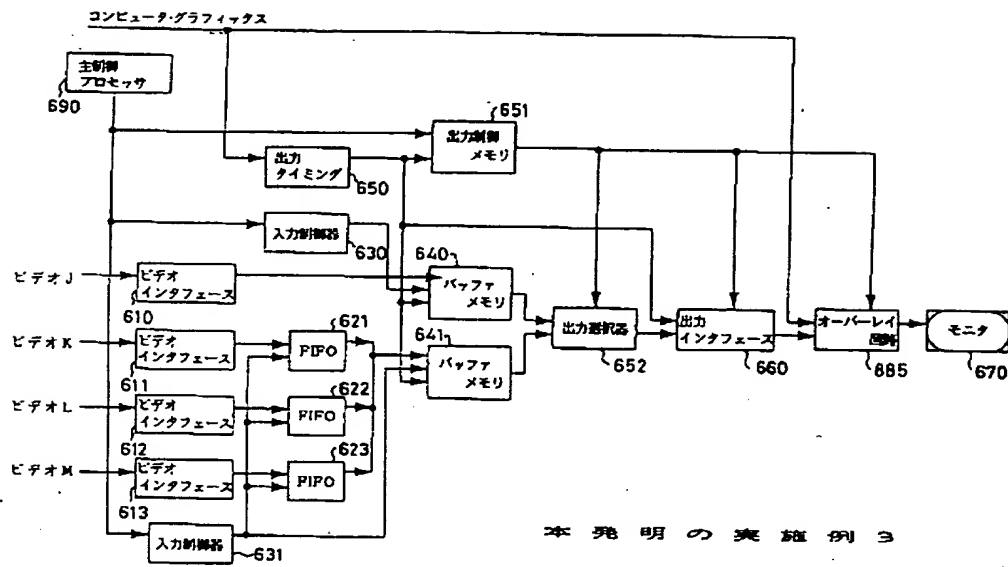
【図 6】



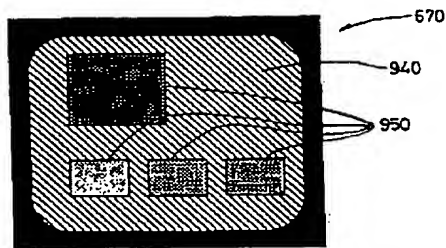
【図 7】



【図 8】



【図 9】



複数のビデオウィンドウを
図形データと共に表示した例